

Docket No.: 50195-257

*#3*  
*2-1-01*  
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Norihiko KIRITANI

Serial No.:

Group Art Unit:

Filed: March 26, 2001

Examiner:

For: METHOD FOR MANUFACTURING SILICON CARBIDE DEVICE AND OXIDATION  
FURNACE

Jc929 U.S. PTO  
09/817154  
03/27/01

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:  
Japanese Patent Application No. 2000-263069, filed August 31, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

*Robert L. Price*  
Robert L. Price  
Registration No. 22,685

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 RLP:prp  
**Date: March 27, 2001**  
Facsimile: (202) 756-8087

50195-257  
N. KIRITANI  
MARCH 27, 2001

McDERMOTT, WILL & EMERY

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

JCS29 U.S. PTO  
09/817154  
03/27/01

出 願 年 月 日

Date of Application:

2000年 8月31日

出 願 番 号

Application Number:

特願2000-263069

出 願 人

Applicant (s):

日産自動車株式会社

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造

出証番号 出証特2001-3009151

【書類名】 特許願

【整理番号】 NM99-01885

【特記事項】 特許法第 3 0 条第 1 項の規定の適用を受けようとする特  
許出願

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00  
H01L 21/324

【発明の名称】 炭化珪素半導体装置の製造方法および炭化珪素半導体装  
置

【請求項の数】 16

【発明者】  
【住所又は居所】 神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会  
社内

【氏名】 桐谷 範彦

【特許出願人】  
【識別番号】 000003997  
【氏名又は名称】 日産自動車株式会社

【代理人】  
【識別番号】 100084412  
【弁理士】  
【氏名又は名称】 永井 冬紀

【手数料の表示】  
【予納台帳番号】 004732  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】炭化珪素半導体装置の製造方法および炭化珪素半導体装置

【特許請求の範囲】

【請求項 1】

炭化珪素基板上に熱酸化膜を形成する少なくとも一工程において、前記炭化珪素基板を水蒸気雰囲気中で熱処理することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 2】

少なくとも炭化珪素とシリコンとを含む基板上にシリコン酸化膜を形成するとき、前記基板を水蒸気雰囲気中で熱処理して前記シリコンの領域にシリコン酸化膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の炭化珪素半導体装置の製造方法において、

前記水蒸気雰囲気は、前記シリコン上の酸化膜の形成速度が前記炭化珪素上の酸化膜の形成速度より大となる酸化雰囲気であることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 4】

請求項 2 に記載の炭化珪素半導体装置の製造方法において、

前記シリコン酸化膜は、炭化珪素半導体上に形成される素子を電氣的に分離する素子分離領域に形成されることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 5】

請求項 2 に記載の炭化珪素半導体装置の製造方法において、

前記シリコン酸化膜は、炭化珪素半導体表面に形成される p n 接合領域上に形成されることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 6】

請求項 2 に記載の炭化珪素半導体装置の製造方法において、

前記シリコンは、炭化珪素基板上に形成した溝に堆積されて酸化されることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 7】

請求項 4 に記載の炭化珪素半導体装置の製造方法において、

前記シリコン酸化膜を形成した後の前記水蒸気雰囲気中に所定量の  $O_2$  を添加し

前記基板表面を大気に晒さないように連続して前記基板を熱処理して薄いシリコン酸化膜を前記基板表面に形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 8】

請求項 1 ～ 7 のいずれかに記載の炭化珪素半導体装置の製造方法において、

前記水蒸気雰囲気中の熱処理は、酸化反応管内部に直接超純水を導入する  $H_2O$  直接酸化法により行うことを特徴とする炭化珪素半導体装置の製造方法。

【請求項 9】

請求項 1 ～ 8 のいずれかに記載の炭化珪素半導体装置の製造方法において、

前記水蒸気雰囲気は、 $H_2O$  分圧が 0.95 以上であることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 10】

所定の酸化雰囲気中で炭化珪素基板を熱処理して前記炭化珪素基板上に酸化膜を形成し、

前記熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で前記炭化珪素基板を熱処理して前記酸化膜および炭化珪素の界面を処理することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 11】

請求項 10 に記載の炭化珪素半導体装置の製造方法において、

前記水蒸気雰囲気は、前記酸化膜を新たに形成しない雰囲気であることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 12】

請求項 10 または 11 に記載の炭化珪素半導体装置の製造方法において、

前記水蒸気雰囲気は、 $H_2O$  分圧が 0.95 以上であることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 13】

水蒸気雰囲気中で炭化珪素基板を熱処理して前記炭化珪素基板上に酸化膜を形成し、

前記熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で前記炭化珪素基板を熱処理して前記酸化膜および炭化珪素の界面を処理することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 1 4】

炭化珪素基板上に熱酸化膜を形成する少なくとも一工程において、前記炭化珪素基板を水蒸気雰囲気中で熱処理することを特徴とする炭化珪素半導体装置。

【請求項 1 5】

請求項 1 4 に記載の炭化珪素半導体装置において、

少なくとも炭化珪素とシリコンとを含む基板上にシリコン酸化膜を形成するとき、前記基板を水蒸気雰囲気中で熱処理して前記シリコンの領域にシリコン酸化膜を形成することを特徴とする炭化珪素半導体装置。

【請求項 1 6】

請求項 1 4 に記載の炭化珪素半導体装置において、

所定の酸化雰囲気中で炭化珪素基板を熱処理して前記炭化珪素基板上に酸化膜を形成し、

前記熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で前記炭化珪素基板を熱処理して前記酸化膜および炭化珪素の界面を処理することを特徴とする炭化珪素半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、SiC（炭化珪素）上にSi酸化膜を形成する炭化珪素半導体の製造方法、および炭化珪素半導体装置に関する。

【0 0 0 2】

【発明の背景】

SiC（炭化珪素）は、熱的および化学的に安定した性質を有することが知られている。中でも4H-SiCは、エネルギーバンドギャップがSiの約3倍と大きくて電

氣的な耐圧特性がシリコンより優れているので、電力制御用素子などへの応用が期待されている。SiC基板では、SiC結晶中のSi-C間の結合エネルギーがシリコン単結晶中のSi-Si間の結合エネルギーに比べて約1.34倍の大きさを持つ。このような特性を有するSiC基板上に熱酸化膜を形成させてSiC半導体を製造することは従来から試みられているが、短時間で所望の性能を有するSiC半導体を製造する技術は確立されていない。

#### 【0003】

本発明の目的は、短時間で炭化珪素基板上に酸化膜を形成し、所望の性能を有する炭化珪素半導体の製造方法、および炭化珪素半導体装置を提供することにある。

#### 【0004】

##### 【課題を解決するための手段】

一実施の形態を示す図1、図7、図10に対応づけて本発明を説明する。

(1) 請求項1に記載の発明による炭化珪素半導体装置の製造方法は、炭化珪素基板1(101)上に熱酸化膜を形成する少なくとも一工程において、炭化珪素基板1(101)を水蒸気雰囲気中で熱処理することにより、上述した目的を達成する。

(2) 請求項1に記載の発明による炭化珪素半導体装置の製造方法は、少なくとも炭化珪素とシリコンとを含む基板1上にシリコン酸化膜を形成するとき、基板1を水蒸気雰囲気中で熱処理してシリコンの領域にシリコン酸化膜11(12)を形成することにより、上述した目的を達成する。

(3) 請求項3に記載の発明は、請求項2に記載の炭化珪素半導体装置の製造方法において、水蒸気雰囲気は、シリコン上の酸化膜の形成速度が炭化珪素上の酸化膜の形成速度より大となる酸化雰囲気であることを特徴とする。

(4) 請求項4に記載の発明は、請求項2に記載の炭化珪素半導体装置の製造方法において、シリコン酸化膜11(12)は、炭化珪素半導体上に形成される素子を電氣的に分離する素子分離領域に形成されることを特徴とする。

(5) 請求項5に記載の発明は、請求項2に記載の炭化珪素半導体装置の製造方法において、シリコン酸化膜11(12)は、炭化珪素半導体表面に形成されるp

n接合領域上に形成されることを特徴とする。

(6) 請求項6に記載の発明は、請求項2に記載の炭化珪素半導体装置の製造方法において、シリコンは、炭化珪素基板1上に形成した溝に堆積されて酸化されることを特徴とする。

(7) 請求項7に記載の発明は、請求項4に記載の炭化珪素半導体装置の製造方法において、シリコン酸化膜11(12)を形成した後の水蒸気雰囲気中に所定量のO<sub>2</sub>を添加し、基板1表面を大気に晒さないように連続して基板1を熱処理して薄いシリコン酸化膜を基板1表面に形成することを特徴とする。

(8) 請求項8に記載の発明は、請求項1～7のいずれかに記載の炭化珪素半導体装置の製造方法において、水蒸気雰囲気中の熱処理は、酸化反応管内部に直接超純水を導入するH<sub>2</sub>O直接酸化法により行うことを特徴とする。

(9) 請求項9に記載の発明は、請求項1～8のいずれかに記載の炭化珪素半導体装置の製造方法において、水蒸気雰囲気は、H<sub>2</sub>O分圧が0.95以上であることを特徴とする。

(10) 請求項10に記載の発明による炭化珪素半導体装置の製造方法は、所定の酸化雰囲気中で炭化珪素基板101を熱処理して炭化珪素基板101上に酸化膜105を形成し、熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で炭化珪素基板101を熱処理して酸化膜105および炭化珪素の界面を処理することにより、上述した目的を達成する。

(11) 請求項11に記載の発明は、請求項10に記載の炭化珪素半導体装置の製造方法において、水蒸気雰囲気は、酸化膜105を新たに形成しない雰囲気であることを特徴とする。

(12) 請求項12に記載の発明は、請求項10または11に記載の炭化珪素半導体装置の製造方法において、水蒸気雰囲気は、H<sub>2</sub>O分圧が0.95以上であることを特徴とする。

(13) 請求項13に記載の発明による炭化珪素半導体装置の製造方法は、水蒸気雰囲気中で炭化珪素基板を熱処理して炭化珪素基板上に酸化膜を形成し、熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で炭化珪素基板を熱処理して酸化膜および炭化珪素の界面を処理することにより、上述した目的を達成する



(14) 請求項14に記載の発明による炭化珪素半導体装置は、炭化珪素基板1(101)上に熱酸化膜を形成する少なくとも一工程において、炭化珪素基板1(101)を水蒸気雰囲気中で熱処理することにより、上述した目的を達成する。

(15) 請求項15に記載の発明は、請求項14に記載の炭化珪素半導体装置において、少なくとも炭化珪素とシリコンとを含む基板1上にシリコン酸化膜を形成するとき、基板1を水蒸気雰囲気中で熱処理してシリコンの領域にシリコン酸化膜11(12)を形成することを特徴とする。

(16) 請求項16に記載の発明は、請求項14に記載の炭化珪素半導体装置において、所定の酸化雰囲気中で炭化珪素基板101を熱処理して炭化珪素基板101上に酸化膜105を形成し、熱処理時と同等もしくは同等以下の温度の水蒸気雰囲気中で炭化珪素基板101を熱処理して酸化膜105および炭化珪素の界面を処理することを特徴とする。

#### 【0005】

なお、上記課題を解決するための手段の項では、本発明をわかりやすく説明するために実施の形態の図と対応づけたが、これにより本発明が実施の形態に限定されるものではない。

#### 【0006】

##### 【発明の効果】

以上詳細に説明したように本発明によれば、次のような効果を奏する。

(1) 請求項1, 8, 9, 14に記載の発明では、熱酸化膜形成の少なくとも一工程で炭化珪素基板を水蒸気雰囲気中で熱処理するようにしたので、たとえば、水蒸気量を変化させて炭化珪素上の熱酸化反応を制御することができる。

(2) 請求項2～9, 13, 15に記載の発明では、炭化珪素とシリコンとを含む基板を、水蒸気雰囲気中で熱処理してシリコンの領域にシリコン酸化膜を形成するようにした。したがって、基板上の酸化膜を形成したい所望の領域にシリコンを設ければ、所望の位置に酸化膜を形成させることができる。

(3) とくに、請求項3に記載の発明では、シリコン上の酸化膜形成速度が炭化珪素上の酸化膜形成速度より大となるような水蒸気雰囲気にしたので、シリコン

上に厚い酸化膜を短時間に形成させることが可能になる。

(4) とくに、請求項 7 に記載の発明では、シリコン酸化膜を形成後の基板表面を大気に晒さないようにしたので、基板表面が汚染されることを防止できる。

(5) とくに、請求項 8 に記載の発明では、水蒸気雰囲気中の熱処理を  $H_2O$  直接酸化法で行うようにしたので、たとえば、パイロジェニック酸化法やバブリング酸化法に比べて効率よく水蒸気雰囲気を制御できる。

(6) とくに、請求項 9 に記載の発明では、水蒸気雰囲気中の  $H_2O$  分圧を 0.95 以上にするようにしたので、炭化珪素上の熱酸化反応を確実に制御することができる。

(7) 請求項 10 ~ 13, 16 に記載の発明では、酸化膜を形成した炭化珪素基板を水蒸気雰囲気中で熱処理して酸化膜および炭化珪素の界面を処理するようにした。この結果、たとえば、酸化膜中の電荷を低減して所望の性能を有する良質の炭化珪素半導体装置を製造することができる。

(8) とくに、請求項 11 に記載の発明では、炭化珪素上に新たな酸化膜を形成しないような水蒸気雰囲気にしたので、酸化膜および炭化珪素の界面のみを処理することが可能になる。

#### 【0007】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

##### —第一の実施の形態—

第一の実施の形態は、 $H_2O$  分圧を 0.95 以上に保った酸化雰囲気中で SiC 基板を熱酸化することにより、SiC 基板表面のポリシリコンを選択的に酸化させることを特徴とする。図 1 は、本発明の第一の実施の形態による半導体製造方法によって製造された SiC-MOS トランジスタを説明する図である。図 1 において、p 型 SiC 基板 1 上の素子分離領域に、厚いシリコン熱酸化膜 11 が形成されている。シリコン熱酸化膜 11 は、ポリシリコンが熱酸化されて形成される。p 型 SiC 基板 1 上の素子領域は、上述した素子分離領域によって電氣的に分離される。素子領域には、MOS トランジスタのソース 2 およびドレイン 3 とから構成される  $n+$  型不純物領域と、p 型 SiC 基板 1 とのオーミックコンタクトをとるため

の p + 型不純物領域 4 とが、所定の間隔および深さで p 型 SiC 基板 1 上に形成されている。

#### 【 0 0 0 8 】

ソース 2 およびドレイン 3 領域に挟まれる p 型領域が、MOS トランジスタのチャネルである。このチャネルのすぐ上に薄いゲート酸化膜 5 が積層され、ゲート酸化膜 5 の上にゲート 6 の電極であるポリシリコンが積層されている。ソース 2、ドレイン 3、p + 型不純物領域 4 およびゲート 6 の各電極からは、引き出し電極 7、8、9、10 がそれぞれ PSG 膜 13 に開口されたコンタクトホールを介して引き出される。PSG 膜 13 は層間絶縁膜であり、p 型 SiC 基板 1 上の素子分離領域および素子領域を覆う。なお、実際の SiC-MOS トランジスタではさらに、最終保護膜として素子全体をプラズマ SiN 膜などで覆うが、第 1 図では省略されている。

#### 【 0 0 0 9 】

図 1 の SiC-MOS トランジスタの製造方法について、図 2、図 3 を参照して手順を説明する。図 2 (a) において、p 型 4H-SiC 基板 1 を RCA 洗浄法などにより洗浄後、O<sub>2</sub> を添加した熱酸化により 20 nm 程度のシリコン熱酸化膜 20 を p 型 SiC 基板 1 の表面に形成する。図 2 (b) において、ソース 2 およびドレイン 3 用の n + 不純物領域を形成するため、たとえば、PSG 膜などの化学的気相成長法 (CVD 法) による不図示の絶縁膜 (以降、CVD 膜という) を約 1 μm 堆積させる。CVD 膜の所望の領域をフォトリソグラフィによって開口し、開口部にリン、窒素などの n 型を形成する不純物を約 700℃ の温度に加熱しながら、イオン注入によって所望の位置に導入する。同様に、CVD 膜の堆積とフォトリソグラフィ／エッチングとを行って所望の領域を開口し、ボロン、アルミニウムなどの p 型を形成する不純物を約 700℃ の温度に加熱しながら、イオン注入によって基板表面に導入する。その後、上述した熱酸化膜 20 と不図示の CVD 膜とを除去し、約 1500℃ の温度の下でアニールにより不純物領域を活性化してソース 2、ドレイン 3 および p + 型不純物領域 (以降、基板コンタクト用領域という) 4 を形成する。

#### 【 0 0 1 0 】

図 2 (c)において、 $O_2$ を添加した熱酸化により 20 nm 程度のシリコン熱酸化膜 2 1 をソース 2、ドレイン 3 および基板コンタクト用領域 4 の上から p 型 SiC 基板 1 上に形成する。LPCVD 法によりポリシリコンを約 0.5  $\mu$ m 厚に形成した後で、フォトリソグラフィ/エッチングにより素子分離領域上にポリシリコンのパターン 2 2 を形成する。このとき、熱酸化膜 2 1 がドライエッチングの際にストップ層としてはたらし、上述した図 2 (b)までに形成された領域を保護する。ポリシリコンのエッチングは、形成されるパターン 2 2 の寸法がレジストパターンの寸法からシフトしないように異方性エッチングを用いることが好ましく、たとえば、RIE (Reactive Ion Etching) などの高精度ドライエッチングを行う。

#### 【0011】

図 3 (a)は、第一の実施の形態による製造方法の特徴部分を説明する図である。図 3 (a)において、シリコン熱酸化膜 2 1 を希フッ酸で除去した後で、ポリシリコンのパターン 2 2 を選択的に熱酸化することにより、厚いシリコン酸化膜 1 1 を素子分離領域上に形成する。この工程について詳述する。図 4 は、シリコンの選択的熱酸化に用いる  $H_2O$  直接酸化炉の概略図である。石英製反応管 4 1 内に設けられている石英ポート 4 7 上に、熱酸化処理を行う p 型 SiC 基板 1 が載置される。石英管 4 1 の内部はヒーター 4 2 によって加熱される。石英管 4 1 の上流側(図 4 において右側)からは、マスフローコントローラ(MFC) 4 3 を介して  $O_2$  が、流量計 4 4 を介して  $N_2$  が、それぞれ石英管 4 1 内に導入される。石英管 4 1 内にはさらに、送水ポンプ 4 5 を介して超純水  $H_2O$  が導入される。このような  $H_2O$  直接酸化炉では、ポンプ 4 5 および MFC 4 3 を調節することにより、ヒーター 4 2 で加熱された石英管 4 1 内の酸化雰囲気中における  $H_2O$  分圧を任意に変えることができる。加熱された混合気は、石英管 4 1 の下流側(図 4 において左側)に排気される。石英管 4 1 の一部が大気に開放されているようなオープンタイプの熱拡散装置であっても、ポンプ 4 5 で超純水の流量を所定量以上に保つことによって、高い  $H_2O$  分圧が得られる。

#### 【0012】

図 5 は、上述した  $H_2O$  直接酸化炉を用いて 1100  $^{\circ}C$  の温度で 7 時間熱酸化

膜を形成した場合の、 $H_2O$ 分圧と形成される酸化膜厚との関係例を表す図である。図5において、横軸は、酸化雰囲気中における $H_2O$ 分圧である。また、縦軸は、形成される酸化膜厚である。曲線51は、シリコンSi上に形成される膜厚であり、曲線52は、炭化珪素SiC上に形成される膜厚である。図5において、シリコンSi上に形成される膜厚は、 $H_2O$ 分圧を高めるにつれて厚くなり、 $H_2O$ 分圧が1で最大になる。一方、炭化珪素SiC上に形成される膜厚は、 $H_2O$ 分圧が0.2～0.9ではほぼ一定となり、 $H_2O$ 分圧を0.95より高くすると著しく低下し、 $H_2O$ 分圧が1の条件下では酸化膜形成が著しく抑制される。図5において、 $H_2O$ 分圧が1未満の場合は、 $H_2O$ 分圧が低下した分に応じて $O_2$ 分圧が高くなっている。すなわち、SiCは、酸化雰囲気中に $O_2$ が含まれると酸化が促進され、酸化雰囲気中に $O_2$ が含まれないか、酸化雰囲気中の $O_2$ が極めて少ないと酸化が抑制される。また、シリコンに形成される酸化膜の形成速度は、炭化珪素に形成される酸化膜の形成速度の数十倍の速さであるので、シリコン酸化膜は炭化珪素の酸化膜に比べて短時間で形成できる。

#### 【0013】

以上の特性を利用して、図3(a)におけるシリコンの選択的熱酸化は、 $H_2O$ 直接酸化炉を用いて $H_2O$ 分圧が0.95以上の酸化雰囲気を保ちながら1000℃～1200℃の温度で行う。この結果、ポリシリコンパターン22のみが選択的に熱酸化され、厚いシリコン酸化膜11が素子分離領域上に短時間で得られる。その他のSiC部分は酸化膜が形成されないので、ポリシリコンパターン22の膜厚に応じて、ポリシリコンが全て酸化するまで十分に時間をかけて酸化させることができる。なお、ポリシリコンパターン22の下のシリコン酸化膜21もポリシリコンパターン22といっしょに酸化される。

#### 【0014】

ポリシリコンは熱酸化によって体積が増加する。たとえば、0.5  $\mu m$ 厚のポリシリコンパターン22では、熱酸化によって約1.0  $\mu m$ 厚のシリコン酸化膜11が形成される。一般に、シリコン熱酸化膜の絶縁破壊に至る電界強度は約10 MV/cmであるので、1.0  $\mu m$ 厚のシリコン熱酸化膜では約1000 Vの絶縁耐圧が得られることになる。

## 【 0 0 1 5 】

図 3 (b)において、 $O_2$ を添加した熱酸化により、活性領域表面を約 20 nm の不図示のシリコン酸化膜で被覆し、被覆したシリコン酸化膜を直ちに希フッ酸で除去する。このシリコン酸化膜は、ゲート酸化膜 5 を形成する前に SiC 基板 1 の表面を清浄な状態にするために一時的に形成させるものであり、犠牲酸化膜と呼ばれる。犠牲酸化膜を除去した後、 $O_2$ を添加した熱酸化により活性領域表面にゲート酸化膜 5 を形成する。LPCVD 法によりポリシリコンを堆積した後で、POCL<sub>3</sub> 蒸気中でアニール処理して n+ 型ポリシリコン膜を形成する。ソース 2 とドレイン 3 とに挟まれたチャネル領域上で、パターンの端の一部がソース 2 およびドレイン 3 の各領域にかかるように、フォトリソグラフィ/エッチングにより n+ 型ポリシリコンのパターン 6 を形成し、ゲート電極にする。このとき、ゲート酸化膜 5 がエッチングの際にストップ層としてはたらく。

## 【 0 0 1 6 】

図 3 (c)において、CVD 法により層間絶縁膜となる PSG 膜 13 を堆積させる。ソース 2、ドレイン 3、基板コンタクト 4、および n+ 型ポリシリコンパターン 6 の上部の所望の位置を、フォトリソグラフィ/エッチングによりそれぞれ開口する。各開口部に、オーミック電極を形成するためのニッケル、チタン、アルミニウムなどの金属膜を適宜選択して蒸着し、フォトリソグラフィ/エッチングにより引き出し電極 7, 8, 9, 10 をそれぞれ形成する。金属膜蒸着後に必要に応じて熱処理を加えると、上述した図 1 の MOS トランジスタが完成する。

## 【 0 0 1 7 】

以上説明した第一の実施の形態によれば、以下の作用効果が得られる。

(1) 素子分離領域上にポリシリコンパターン 22 を設け、酸化雰囲気中の  $H_2O$  分圧が 0.95 以上の水蒸気雰囲気中でポリシリコンパターン 22 のみを選択的に熱酸化するようにした。したがって、素子領域の露出した SiC 表面に酸化膜が形成されないので、ポリシリコン 22 が酸化されて所望の膜厚のシリコン酸化膜 11 が形成されるまで十分に熱酸化を行うことができる。また、SiC 表面が酸化膜で覆れない結果、SiC 表面の酸化膜を除去する工程が不要になり、シリコン酸化膜 11、すなわち、絶縁膜パターンの加工精度が向上する。もし酸化膜が Si

C表面に形成されると、これを除去するために希フッ酸などの溶液を用いた化学的なエッチングが必要になる。このエッチングは、素子分離領域上に形成した厚いシリコン酸化膜11も同時にエッチングしてしまうので、シリコン酸化膜11に所望の膜厚が得られなくなる上に、シリコン酸化膜11のパターン寸法が変化してしまい、ポリシリコンパターン22を形成した際のドライエッチングによる加工精度が損なわれてしまう。ポリシリコンパターン22の加工精度は、シリコン酸化膜11の開口部の大きさを決定するので、MOSトランジスタの電気的特性を決定する上で極めて重要である。

(2) ポリシリコンパターン22を形成する際のドライエッチングは、異方性のRIEとしたので、等方性エッチングの場合のような膜厚分程度の寸法の縮小を抑えることができる。

(3) 選択的熱酸化処理を行うためにH<sub>2</sub>O直接酸化炉を用いるようにしたので、他の熱酸化装置に比べて、酸化雰囲気中のH<sub>2</sub>O分圧を0.95以上に効率よく保つことができる。一般に、ウェット酸化と称される水蒸気酸化には、パイロジェニック酸化とH<sub>2</sub>Oバブリング酸化とが知られている。パイロジェニック酸化は、H<sub>2</sub>ガスとO<sub>2</sub>ガスとを燃焼させてH<sub>2</sub>Oを発生させるが、安全性に配慮してH<sub>2</sub>ガスを完全燃焼させるためにO<sub>2</sub>ガスを余分に供給する必要がある。すなわち、H<sub>2</sub>ガスの流量/O<sub>2</sub>ガスの流量の比を2.0未満にする。このため、酸化雰囲気中のO<sub>2</sub>分圧が0.10程度になり、H<sub>2</sub>O分圧を0.95以上にすることが困難である。また、H<sub>2</sub>Oバブリング酸化は、バブリングのためのO<sub>2</sub>あるいはN<sub>2</sub>によってH<sub>2</sub>O分圧が相対的に低下するので、酸化雰囲気中のH<sub>2</sub>O分圧を0.95以上にすることが困難である。

#### 【0018】

上述した説明では、Nチャネル型MOSトランジスタを例に説明したが、Pチャネル型MOSトランジスタに本発明を適用することもできる。また、MOSトランジスタのみでなく、半導体表面に素子を形成する構造における素子間の分離にも本発明を適用することができる。

#### 【0019】

上述した図2(a)において、p型4H-SiC基板1上にシリコン熱酸化膜20を形

成するようにしたが、 $n$ 型4H-SiC基板を用いて $p$ 型エピタキシャル層を形成してもよい。また、 $p$ 型あるいは $n$ 型基板に対してボロン、アルミニウムなどの不純物イオンを高エネルギーで注入して $p$ ウェルを形成するようにしてもよい。

#### 【0020】

また、図2(c)において、ストップ層としてシリコン熱酸化膜21を形成するようにしたが、熱酸化膜21を設けずにポリシリコンを直接SiC基板上に堆積した上で、フォトリソグラフィ/エッチングによりポリシリコンパターン22を形成してもよい。この場合には、ポリシリコンとSiCとのエッチング選択比を大きくするために、塩素系のエッチングガスを用いるとよい。

#### 【0021】

図3(b)において、 $O_2$ を添加した熱酸化により犠牲酸化膜を形成するようにしたが、図3(a)における素子分離領域上のポリシリコンパターン22の選択的熱酸化処理に引き続き、図5の $H_2O$ 分圧と形成される酸化膜厚との関係にしたがって酸化雰囲気に $O_2$ を適量添加するか、酸化雰囲気の全量を $O_2$ に置換して処理することにより、簡便に犠牲酸化膜を形成してもよい。

#### 【0022】

また、ポリシリコンパターン22の選択的熱酸化処理中は、素子領域の露出しているSiC表面が $H_2O$ 雰囲気に晒されており、SiCの最表面が還元されて結晶欠陥を多く含む領域が除去される。したがって、犠牲酸化膜の形成を省略して、選択的熱酸化処理から連続してゲート酸化膜5を形成するようにしてもよい。犠牲酸化膜の形成工程を省略することによって、犠牲酸化膜をフッ酸などで除去する際にSiC表面およびゲート酸化膜5の界面を大気に晒すことがなくなる。界面を大気に晒さないことによって、汚染のない良質なゲート酸化膜5を得ることが可能になる。さらに、製造工程を簡便にすることができる上に、犠牲酸化膜を除去する際のシリコン酸化膜11の膜減りもなくなる。

#### 【0023】

上述したシリコンの選択的熱酸化は、 $H_2O$ 直接酸化炉を用いて $H_2O$ 分圧が0.95以上の酸化雰囲気を保ちながら行うようにした。好ましくは、酸化雰囲気中の $H_2O$ を100%にするのがよい。酸化雰囲気に $O_2$ を混入させる場合に



は、 $H_2O$ 分圧を少なくとも0.95以上に保つことによって、酸化速度比を60以上にすることが可能になる。酸化速度比とは、同じ酸化雰囲気中における酸化珪素SiCの酸化速度に対するシリコンSiの酸化速度の比である。

#### 【0024】

ゲート酸化膜5は次のように形成してもよい。上述した図3(a)において、LPCVD法により薄いポリシリコン膜26を堆積し、ソース2、ドレイン3および基板コンタクト4となるpn接合領域上を被覆する(図6(a))。その後、上述した $H_2O$ 直接酸化炉を用いて $H_2O$ 分圧が0.95以上の酸化雰囲気を保ちながら、薄いポリシリコン膜26を選択的に熱酸化する。この結果、SiC表面のpn接合領域が薄いシリコン酸化膜27で被覆される(図6(b))。このシリコン酸化膜27はゲート酸化膜である。シリコン酸化膜27はSiCを一切酸化していないので、SiC基板中の不純物を含まない高品質のゲート酸化膜、すなわち、ゲート絶縁膜が得られる。なお、薄いポリシリコン被膜26は、熱酸化後の膜厚が所望の厚さになるように堆積される。図6(b)以降の処理は、上述した図3(b)および図3(c)における処理と同じである。

#### 【0025】

##### —第二の実施の形態—

第二の実施の形態は、上述した第一の実施の形態と同様に、 $H_2O$ 分圧を0.95以上に保った酸化雰囲気中でSiC基板を熱酸化することにより、SiC基板表面のポリシリコンを選択的に酸化させることを特徴とする。図7は、本発明の第二の実施の形態による半導体製造方法によって製造されたSiC-MOSトランジスタを説明する図である。図7において、p型SiC基板1上の素子分離領域に、厚いシリコン熱酸化膜12が形成されている。第二の実施の形態では、p型SiC基板1上の素子分離領域にあらかじめフォトリソグラフィ/エッチングによってトレンチ溝を設け、このトレンチ溝に充填したポリシリコンを熱酸化することにより、シリコン熱酸化膜12を形成する。第一の実施の形態によるMOSトランジスタと同様に、p型SiC基板1上の素子領域は、素子分離領域によって電気的に分離される。分離された素子領域には、ソース2、ドレイン3、p+型不純物領域4とがそれぞれ形成されている。なお、図7において、素子全体を覆うプラズマ

SiN膜などの最終保護膜が省略されている。

【 0 0 2 6 】

図 7 の SiC-MOS トランジスタの製造方法について、図 8、図 9 を参照して手順を説明する。図 8 (a) において、p 型 4H-SiC 基板 1 を RCA 洗浄法などにより洗浄後、O<sub>2</sub> を添加した熱酸化により 20 nm 程度のシリコン熱酸化膜 20 を p 型 SiC 基板 1 の表面に形成する。図 8 (b) において、ソース 2 およびドレイン 3 用の n<sup>+</sup> 不純物領域を形成するため、たとえば、PSG 膜などの CVD 法による不図示の CVD 膜を約 1 μm 堆積させる。CVD 膜の所望の領域をフォトリソグラフィによって開口し、開口部にリン、窒素などの n 型を形成する不純物を約 700 °C の温度に加熱しながら、イオン注入によって所望の位置に導入する。同様に、CVD 膜の堆積とフォトリソグラフィ/エッチングとを行って所望の領域を開口し、ボロン、アルミニウムなどの p 型を形成する不純物を約 700 °C の温度に加熱しながら、イオン注入によって基板表面に導入する。その後、上述した熱酸化膜 20 と不図示の CVD 膜とを除去し、約 1500 °C の温度の下でアニールにより不純物領域を活性化してソース 2、ドレイン 3 および基板コンタクト用領域 4 を形成する。

【 0 0 2 7 】

図 8 (c) において、CVD 法により PSG 酸化膜 23 を p 型 SiC 基板 1 の表面に形成し、素子分離領域になる部分の PSG をフォトリソグラフィ/エッチングによって選択的に除去する。この場合のエッチングは、たとえば、RIE により行う。続いて、PSG 膜 23 をマスクとするエッチングを行い、所望の深さの溝 24 を形成する。エッチングによる溝 24 の深さは、素子分離する絶縁膜、すなわち、シリコン酸化膜 12 の深さと等価になるので、素子領域の構造によって適宜決定される。たとえば、基板表面にチャネルを形成するプレーナー型の MOS トランジスタと、ドレイン電流を基板裏面に流す縦型 MOS トランジスタとでは、ドレインに印加される電圧によって生じる空乏層の広がり方が異なる。そこで、一般にはプレーナー型 MOS トランジスタの場合は溝を浅く、縦型 MOS トランジスタの場合は溝を深く形成する。

【 0 0 2 8 】

図 8 (d)において、P S G 膜 2 3 をエッチングにより除去し、L P C V D 法により溝 2 4 が充填されるようにポリシリコンを堆積させる。エッチバックして Si C 基板 1 の表面を平坦化し、素子分離領域とする溝 2 4 の中にのみポリシリコン 2 5 を形成させる。ポリシリコンと Si C とのエッチング選択比を大きくするために、エッチバックには塩素系のエッチングガスを用いるとよい。

#### 【 0 0 2 9 】

図 9 (a)は、第二の実施の形態による製造方法の特徴部分を説明する図である。図 9 (a)において、ポリシリコン 2 5 を選択的に熱酸化することにより、厚いシリコン酸化膜 1 2 を素子分離領域に形成する。選択的熱酸化は、上述した H<sub>2</sub>O 直接酸化炉を用いて H<sub>2</sub>O 分圧が 0.95 以上の酸化雰囲気を保ちながら、1000℃～1200℃の温度で行う。この結果、ポリシリコン 2 5 のみが選択的に熱酸化され、厚いシリコン酸化膜 1 2 が素子分離領域上に得られる。ポリシリコンは熱酸化によって体積が増加するので、シリコン酸化膜 1 2 の高さが Si C 基板 1 の表面より高くなる。

#### 【 0 0 3 0 】

図 9 (b)において、O<sub>2</sub> を添加した熱酸化により、活性領域表面を約 20 nm の不図示のシリコン酸化膜、すなわち、犠牲酸化膜で被覆し、被覆した犠牲酸化膜を直ちに希フッ酸で除去する。犠牲酸化膜を除去後、O<sub>2</sub> を添加した熱酸化により活性領域表面にゲート酸化膜 5 を形成する。L P C V D 法によりポリシリコンを堆積した後で、P O C L<sub>3</sub> 蒸気中でアニール処理して n + 型ポリシリコン膜を形成する。ソース 2 とドレイン 3 とに挟まれたチャネル領域上で、パターンの端の一部がソース 2 およびドレイン 3 の各領域にかかるように、フォトリソグラフィ／エッチングにより n + 型ポリシリコンのパターン 6 を形成し、ゲート電極にする。このとき、ゲート酸化膜 5 がエッチングの際にストップ層としてはたらく。

#### 【 0 0 3 1 】

図 9 (c)において、C V D 法により層間絶縁膜となる P S G 膜 1 3 を堆積させる。ソース 2、ドレイン 3、基板コンタクト 4、および n + 型ポリシリコンパターン 6 の上部の所望の位置を、フォトリソグラフィ／エッチングによりそれぞれ

開口する。各開口部に、オーミック電極を形成するためのニッケル、チタン、アルミニウムなどの金属膜を適宜選択して蒸着し、フォトリソグラフィ／エッチングにより引き出し電極 7, 8, 9, 10 をそれぞれ形成する。金属膜蒸着後に必要に応じて熱処理を加えると、上述した図 7 の MOS トランジスタが完成する。

#### 【0032】

以上説明した第二の実施の形態によれば、素子分離領域上の溝 24 を充填するように形成したポリシリコン 25 を、選択的に熱酸化してシリコン酸化膜 12 を得るようにしたので、第一の実施の形態と同様に、素子領域の露出した SiC 表面が酸化膜で覆れることを防止できる結果、SiC 表面の酸化膜を除去する工程が不要になり、絶縁膜パターンの加工精度が向上する。溝 24 の側壁、底部も酸化膜で覆れることがないので、絶縁膜パターンの加工精度は溝 24 の加工精度で決まる。

#### 【0033】

##### — 第三の実施の形態 —

第三の実施の形態は、O<sub>2</sub> を添加した熱酸化によってゲート酸化膜を形成後に、H<sub>2</sub>O 分圧を 0.95 以上に保った酸化雰囲気中でゲート酸化膜を熱処理することにより、ゲート酸化膜中の電荷の発生と界面準位密度とを低減させることを特徴とする。図 10 は、本発明の第三の実施の形態による半導体製造方法によって製造された n チャネル型 MOSFET を説明する図である。図 10 (e) において、p 型 SiC 基板 101 のおもて面にはソース 103、ドレイン 104、ゲート酸化膜 105 とがそれぞれ形成されている。ゲート酸化膜 105 の上にはゲート電極 106 が形成される。ソース 103、ドレイン 104、ゲート電極 106 からは、引き出し電極 108, 109, 110 が、それぞれ PSG 膜 107 に開口されたコンタクトホールを介して引き出されている。p 型 SiC 基板 101 の裏面には、金属膜からなる基板電極 111 が形成されている。

#### 【0034】

図 10 (e) の MOSFET の製造方法について、図 10 (a) ～ (d) を参照して手順を説明する。図 10 (a) において、p 型 4H-SiC 基板 101 上に、基板 101 よりも不純物濃度が低い p 型エピタキシャル層 102 を、たとえば、約 8  $\mu$ m 厚に

成長させる。ここで、p型エピタキシャル層102の面をSiC基板101のおもて面とし、SiC基板101の他方の面を裏面とする。基板抵抗を決めるpn不純物型や不純物濃度については、所望の電気的特性にしたがって適宜選択される。

## 【0035】

図10(b)において、p型エピタキシャル層102の表面にCVD法などによって不図示の厚いシリコン酸化膜を形成させる。形成したシリコン酸化膜のうち、MOSFETのソース、ドレイン領域となる部分をフォトリソグラフィ/エッチングにより選択的に除去する。SiC基板101上に残されたシリコン酸化膜(不図示)をマスクにして、窒素、リンなどのn型を形成する不純物をイオン注入法によって高濃度に、所定の深さまで導入する。その後、シリコン酸化膜(不図示)を希フッ酸によって除去し、1000℃～1700℃の温度で熱処理を行う。導入された不純物は、熱処理によってソース103およびドレイン104領域を形成する。

## 【0036】

図10(c)において、SiC基板101の表面を酸、アルカリなどの溶液を用いて洗浄後に、約1100℃の温度のO<sub>2</sub>あるいはO<sub>2</sub>とH<sub>2</sub>Oの混合雰囲気中で厚さ数10nmの熱酸化膜、すなわち、犠牲酸化膜を形成する。犠牲酸化膜の膜厚、犠牲酸化膜形成時における酸化の温度および雰囲気は、SiC基板101の表面の凹凸の状態や洗浄、乾燥条件など他の工程との関係によって適宜決められる。形成した犠牲酸化膜は、直ちに希フッ酸で除去する。犠牲酸化膜を除去したSiC基板101の表面は、必要に応じて酸、アルカリなどの溶液を用いて洗浄する。そして、約1100℃の温度のO<sub>2</sub>あるいはO<sub>2</sub>とH<sub>2</sub>Oの混合雰囲気中で約13時間熱酸化することにより、たとえば、約50nm厚のゲート酸化膜105を活性領域表面に形成する。一般に、ゲート酸化膜105の膜厚は、所望するMOSFETのゲート電圧などの電気的特性から決定される。

## 【0037】

ゲート酸化膜105の形成は、第三の実施の形態による製造方法の特徴部分である。上述した図4に示すH<sub>2</sub>O直接酸化炉を用いてゲート酸化膜105を形成後、SiC基板101を酸化炉から取り出すために図4の石英管41内の温度を降

温させる。この降温過程において、図 4 の石英製反応管 4 1 内への酸化雰囲気( $O_2$ あるいは $O_2$ と $H_2O$ の混合)の供給を一旦停止し、連続して $H_2O$ を供給する。 $H_2O$ 分圧が 0.95 以上に保たれるように超純水の供給を制御しながら、約 950℃の温度で約 60 分間の熱処理(アニール処理)をゲート酸化膜 105 に行う。この熱処理は、POA (Post Oxidation anneal) 処理である。 $H_2O$ 雰囲気中でゲート酸化膜 105 を POA 処理することにより、新たに酸化膜が形成されることなく、界面準位の発生が効果的に低減される。POA 処理後に石英製反応管 4 1 (図 4) 内への超純水の供給を停止し、 $N_2$ などの不活性ガスに切り替えて降温し、ゲート酸化膜 105 の形成工程を終了する。

## 【0038】

図 10 (d)において、ソース 103 とドレイン 104 とに挟まれた p 型エピタキシャル層 102 からなるチャネル領域上で、パターンの端の一部がソース 103 およびドレイン 104 の各領域にかかるように、高濃度にリンなどを添加して低抵抗な多結晶シリコンからなるゲート電極 106 を形成する。この結果、多結晶シリコン 106、ゲート酸化膜 105、p 型エピタキシャル層 102 からなる MOS 構造が形成される。なお、多結晶シリコンの他に、アルミニウム、チタン、ニッケルなどの元素を含む金属膜を単層あるいは積層構造にして形成してもよい。

## 【0039】

図 10 (e)において、CVD 法により SiC 基板 101 のおもて面に絶縁膜として PSG 膜などのシリコン酸化膜 107 を堆積させる。ソース 103、ドレイン 104、およびゲート電極 106 上のシリコン酸化膜 107 の所望の位置を、フォトリソグラフィ/エッチングによりそれぞれ開口する。各開口部に、ニッケル、チタン、アルミニウム、プラチナなどの元素を含む金属膜を単層あるいは積層構造に形成する。形成した金属膜に対して、フォトリソグラフィ/エッチングを施してパターニングし、それぞれソース電極 108、ドレイン電極 109、ゲート電極 106 の引き出し電極 110 を形成する。通常、基板表面の保護と金属膜による引き出し電極間の漏れ電流低減のために、素子全体を PSG 膜などの絶縁膜で覆うが、図 10 (e)では省略している。

## 【 0 0 4 0 】

p 型 SiC 基板 1 0 1 の裏面に形成された熱酸化膜や多結晶シリコン膜などをエッチングで除去し、清浄な面を露出させる。清浄な状態の裏面に、ニッケル、チタン、アルミニウム、プラチナなどの元素を含む金属膜を単層あるいは積層構造に形成する。形成した金属膜は、M O S F E T における基板電極 1 1 1 になる。最後に、p 型 SiC 基板 1 0 1 のおもて面、裏面に形成した金属膜と SiC とのオーミックコンタクトを形成するために、9 0 0 ℃ ～ 1 0 0 0 ℃ の温度のアルミニウムや N<sub>2</sub> など、あるいはこれらの混合雰囲気中でアニール処理を行うと、上述した図 1 0 (e) の M O S F E T が完成する。

## 【 0 0 4 1 】

なお、上述した金属膜形成と金属膜と SiC 基板とのオーミックコンタクトについては、製造工程の手順について様々な形態があり、上述した手順はその一例である。

## 【 0 0 4 2 】

図 1 1 は、H<sub>2</sub>O 分圧が 0.95 以上の P O A 処理で酸化膜中の電荷発生が減少することを表す図である。図 1 1 において、横軸はゲート電極に印加する印加電圧である。縦軸は、ゲート電極、ゲート酸化膜、SiC 基板で形成される M O S キャパシタの容量である。曲線 1 1 A は、H<sub>2</sub>O 分圧を約 1.0 にして P O A 処理した M O S キャパシタの C - V 曲線である。曲線 1 1 B は、N<sub>2</sub> 雰囲気で P O A 処理した M O S キャパシタの C - V 曲線である。曲線 1 1 C は、乾燥 O<sub>2</sub> 雰囲気で P O A 処理した M O S キャパシタの C - V 曲線である。なお、P O A 雰囲気を変えて P O A 処理を行うと、酸化膜厚が変化することによって酸化膜自体の容量が変化する。そこで、図 1 1 では、実際の容量の測定値を各 P O A 雰囲気による酸化膜厚で除することにより、同一条件下で比較できるようにしている。

## 【 0 0 4 3 】

図 1 1 の曲線 1 1 C のように、P O A 雰囲気として O<sub>2</sub> を用いると C - V 曲線が正電圧方向にシフトしてフラットバンドシフトが大きくなる。フラットバンドシフト量 ( $\Delta V_{fb}$ ) の大きさを曲線 1 1 A ～ 曲線 1 1 C を比較すると、曲線 1 1 A < 1 1 B < 1 1 C の関係が成立する。したがって、P O A 雰囲気に O<sub>2</sub> を用いる

と、POA雰囲気中にH<sub>2</sub>Oを用いる場合に比べて酸化膜中あるいは酸化膜-SiC界面における負の電荷発生が多いといえる。逆にいえば、POA雰囲気中にH<sub>2</sub>Oを用いると酸化膜中あるいは酸化膜-SiC界面における負の電荷発生電荷発生が減少するといえる。

## 【 0 0 4 4 】

また、Quasi-Static法によるC-V測定から求めた界面準位密度をH<sub>2</sub>O雰囲気とO<sub>2</sub>雰囲気とで比較すると、H<sub>2</sub>O雰囲気の方がO<sub>2</sub>に比べて約1桁小さくなる。

## 【 0 0 4 5 】

以上説明した第三の実施の形態によれば、以下の作用効果が得られる。

(1) ゲート酸化膜105を形成後の降温過程において、H<sub>2</sub>O分圧が0.95以上に保たれるように超純水の供給を制御しながら、約950℃の温度で約60分間のPOA (Post Oxidation anneal) 処理をゲート酸化膜105に行うようにした。したがって、新たに酸化膜を形成させることなく、酸化膜-SiC界面における界面準位密度の上昇を効果的に低減できる。界面準位密度が大きいと、チャネル領域を移動するキャリア、すなわち、電子あるいは正孔がトラップされたり、クーロン力によって散乱されてしまうので、移動度が低下するという問題が引き起こされる。しかし、POA処理によってこのような問題を回避できるので、良質なMOS型半導体を得ることができる。

(2) POA処理を行うためにH<sub>2</sub>O直接酸化炉を用いるようにしたので、他の熱酸化装置に比べて、酸化雰囲気中のH<sub>2</sub>O分圧を0.95以上に効率よく保つことができる。

## 【 0 0 4 6 】

以上説明した第三の実施の形態では、O<sub>2</sub>を添加した混合雰囲気中で形成されたゲート酸化膜105に対してPOA処理を行うようにした。POA処理を行う酸化膜は、上述した第一および第二の実施の形態で説明したようなH<sub>2</sub>O分圧が0.95以上の水蒸気雰囲気中で形成されたものであってもよい。

## 【 0 0 4 7 】

以上説明した第一の実施の形態～第三の実施の形態では、4H-SiC基板を用いて



説明したが、6H-SiC基板を用いても4H-SiC基板と同様の効果が期待できる。

【 0 0 4 8 】

特許請求の範囲における各構成要素と、発明の実施の形態における各構成要素との対応について説明すると、p型SiC基板1およびp型SiC基板101が炭化珪素基板に、酸化雰囲気中のH<sub>2</sub>O分圧が0.95以上を水蒸気雰囲気に、選択的熱酸化およびPOAが熱処理に、それぞれ対応する。

【図面の簡単な説明】

【図1】

第一の実施の形態による半導体製造方法によって製造されたSiC-MOSトランジスタを説明する図である。

【図2】

(a),(b),(c)はSiC-MOSトランジスタの製造手順の前半を説明する図である。

【図3】

(a),(b),(c)はSiC-MOSトランジスタの製造手順の後半を説明する図である。

【図4】

H<sub>2</sub>O直接酸化炉の概略図である。

【図5】

H<sub>2</sub>O分圧と形成される酸化膜厚との関係例を表す図である。

【図6】

(a),(b)はゲート酸化膜を形成する他の手順を説明する図である。

【図7】

第二の実施の形態による半導体製造方法によって製造されたSiC-MOSトランジスタを説明する図である。

【図8】

(a),(b),(c),(d)はSiC-MOSトランジスタの製造手順の前半を説明する図である。

【図9】

(a), (b), (c)はSiC-MOSトランジスタの製造手順の前半を説明する図である。

【図 1 0】

第三の実施の形態による半導体製造方法によって製造されたnチャネル型MOSFETを説明する図である。

【図 1 1】

H<sub>2</sub>O分圧が0.95以上のPOA処理で酸化膜中の電荷発生が減少することを表す図である。

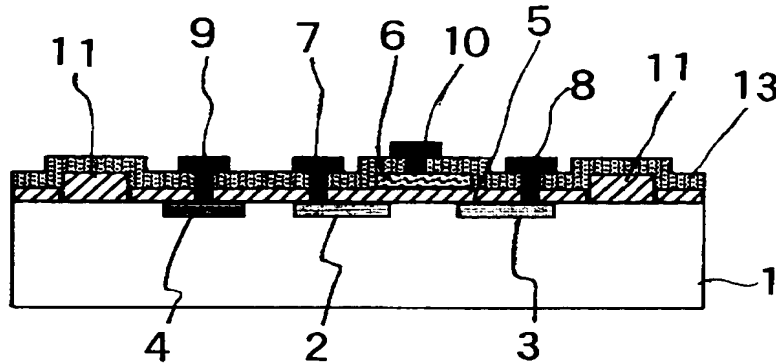
【符号の説明】

- |                           |                         |
|---------------------------|-------------------------|
| 1, 1 0 1 … p型SiC基板、       | 2, 1 0 3 … ソース、         |
| 3, 1 0 4 … ドレイン、          | 4 … 基板コンタクト領域、          |
| 5, 1 0 5 … ゲート酸化膜、        | 6, 1 0 6 … ゲート電極、       |
| 7, 1 0 8 … ソース領域の引き出し電極、  |                         |
| 8, 1 0 9 … ドレイン領域の引き出し電極、 |                         |
| 9 … 基板コンタクト領域の引き出し電極、     |                         |
| 1 0, 1 1 0 … ゲートの引き出し電極、  |                         |
| 1 1, 1 2 … 厚いシリコン酸化膜、     | 1 3, 2 3, 1 0 7 … PSG膜、 |
| 2 0, 2 7 … 薄いシリコン酸化膜、     | 2 1 … シリコン酸化膜、          |
| 2 2, 2 5 … ポリシリコン、        | 2 4 … 溝、                |
| 2 6 … 薄いポリシリコン膜、          | 1 0 2 … p型エピタキシャル層、     |
| 1 1 1 … 基板電極              |                         |

【書類名】 図面

【図1】

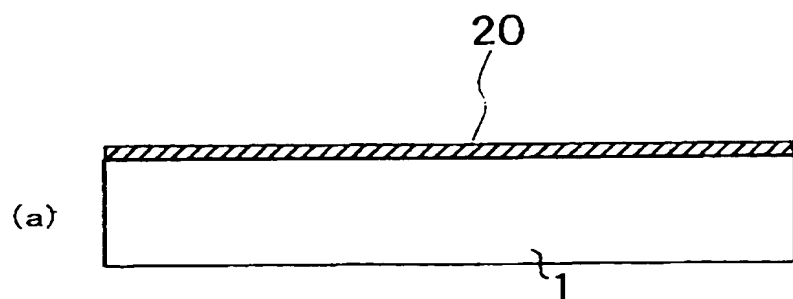
【図1】



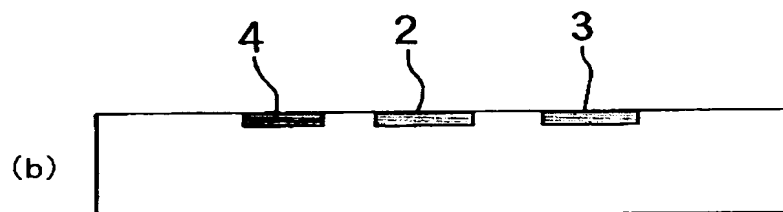
1:p型SiC基板 2:ソース 3:ドレイン 4:基板コンタクト領域 5:ゲート酸化膜  
 6:ゲート電極 7:ソース領域の引き出し電極 8:ドレイン領域の引き出し電極  
 9:基板コンタクト領域の引き出し電極 10:ゲートの引き出し電極  
 11:厚いシリコン酸化膜 13:PSG膜

【図 2】

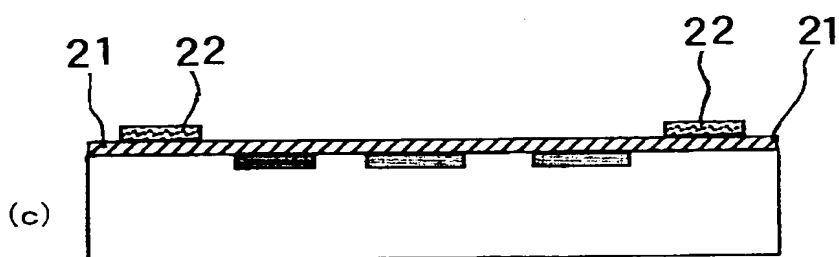
【図 2】



1: p型SiC基板 20: 薄いシリコン酸化膜



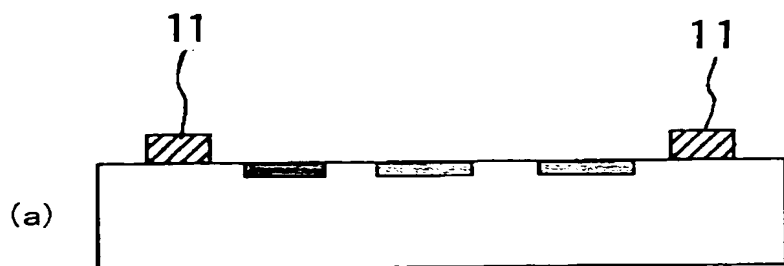
2: ソース 3: ドレイン 4: 基板コンタクト領域



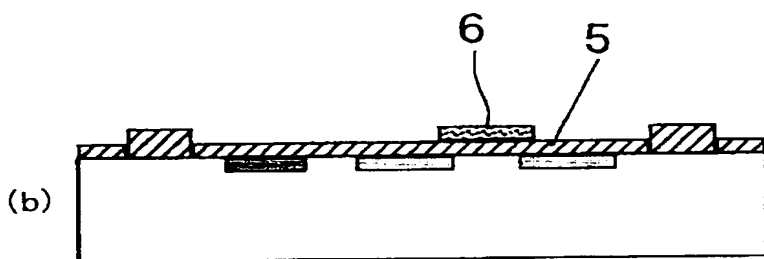
21: シリコン酸化膜 22: ポリシリコン

【図 3】

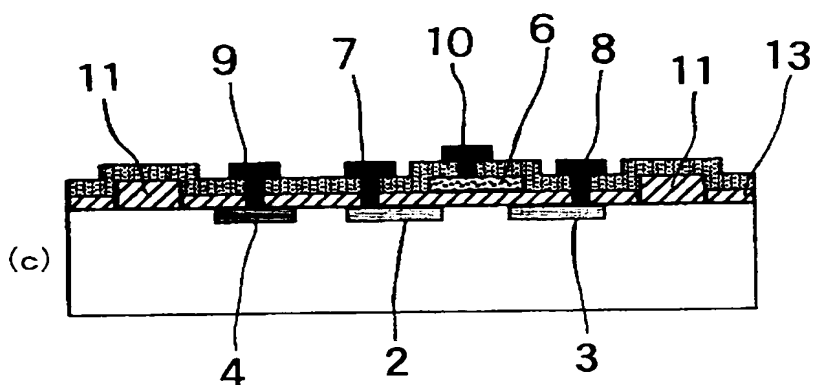
【図3】



11: 厚いシリコン酸化膜

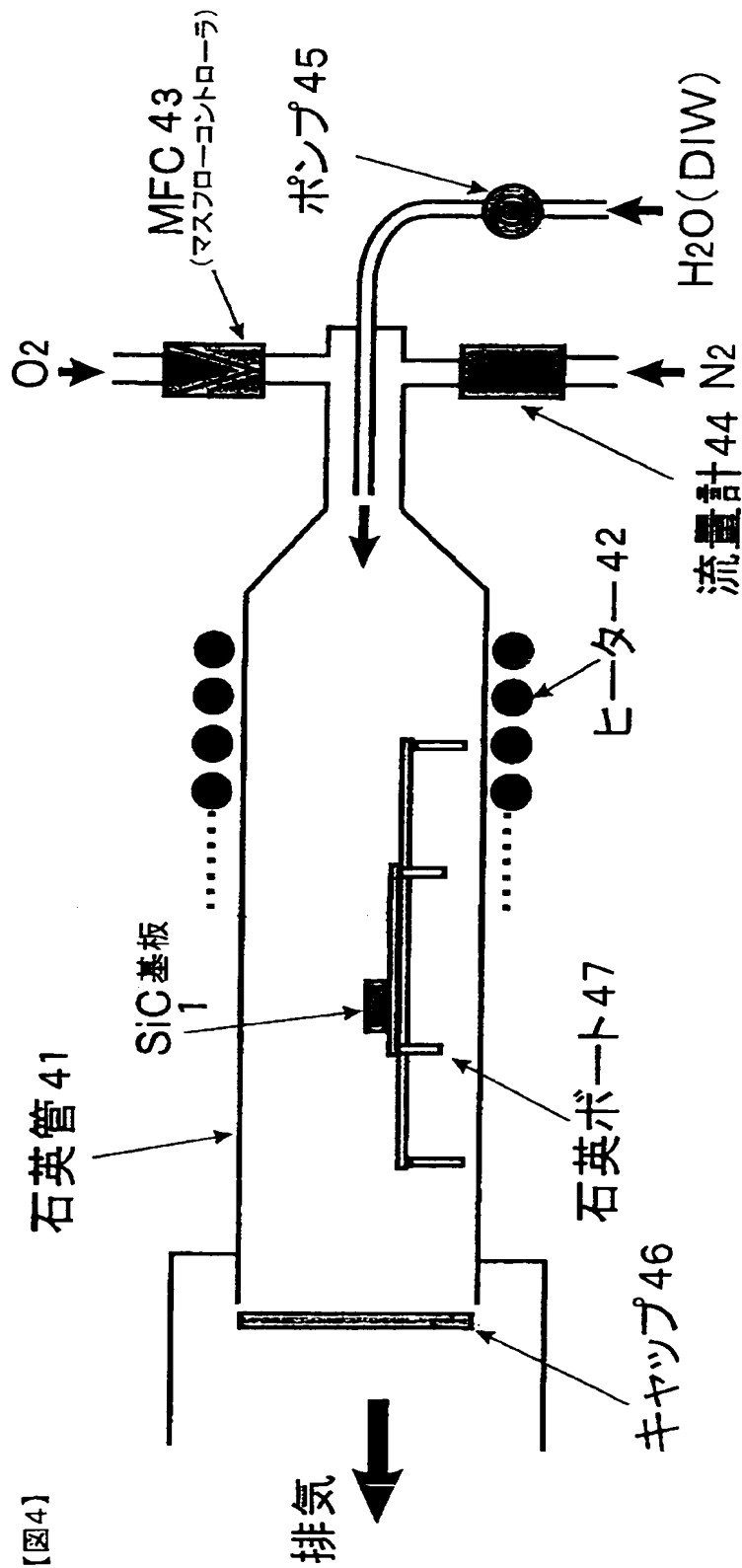


5: ゲート酸化膜 6: ゲート電極



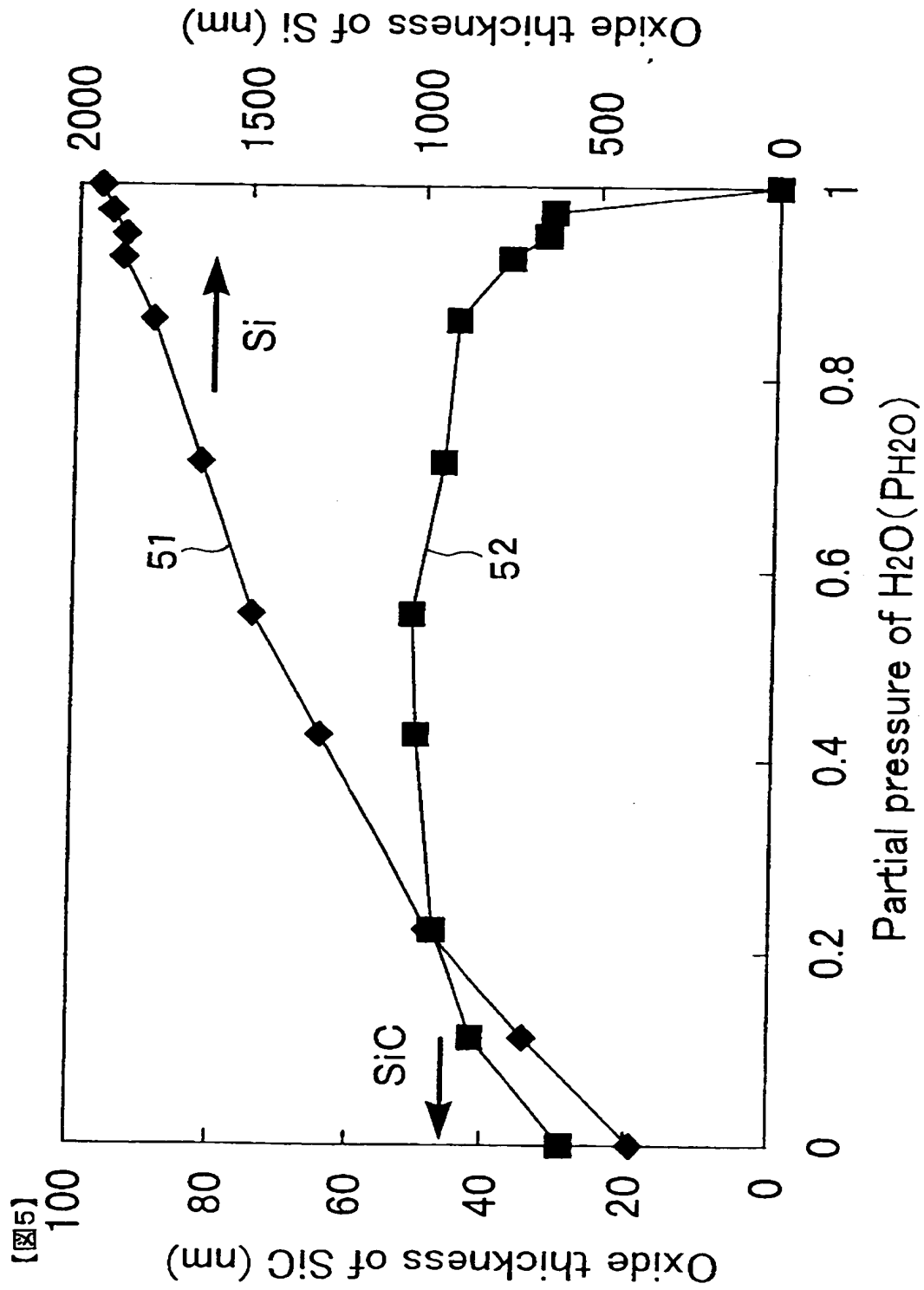
2: ソース 3: ドレイン 4: 基板コンタクト領域 6: ゲート電極  
7: ソース領域の引き出し電極 8: ドレイン領域の引き出し電極  
9: 基板コンタクト領域の引き出し電極 10: ゲートの引き出し電極  
11: 厚いシリコン酸化膜 13: PSG膜

【図4】



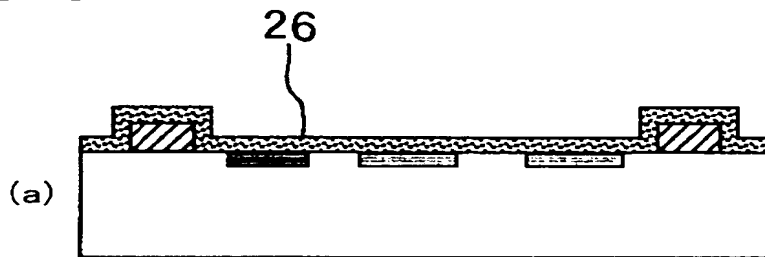
【図4】

【図5】

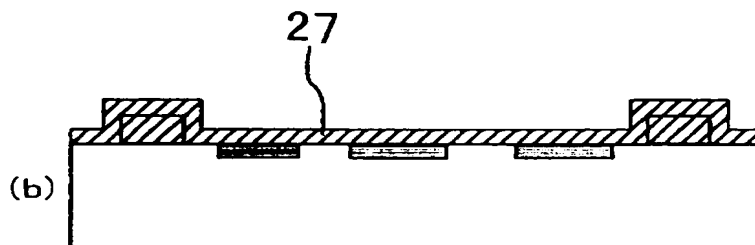


【図 6】

【図6】



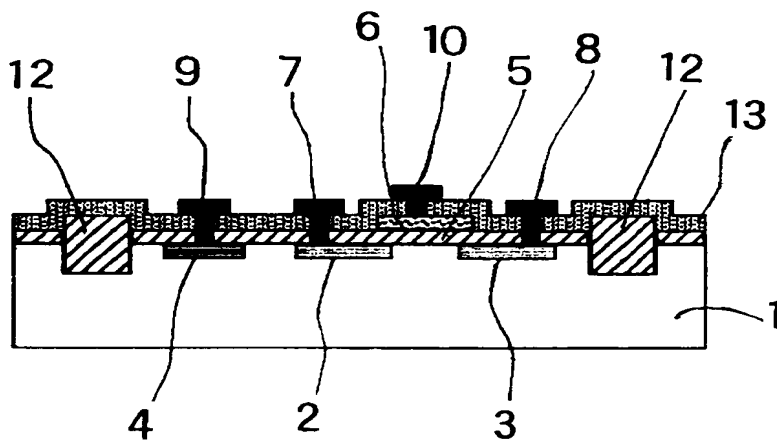
26: 薄いポリシリコン膜



27: 薄いシリコン酸化膜

【図 7】

【図7】

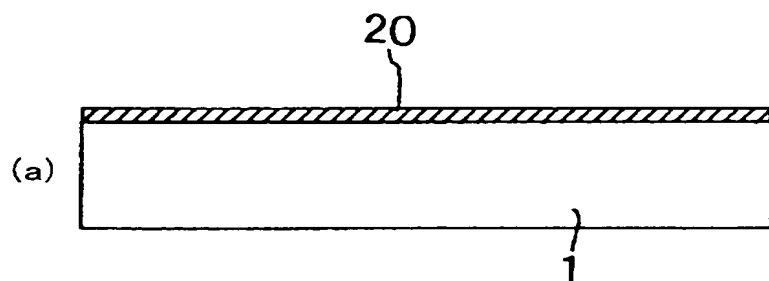


1: p型SiC基板 2: ソース 3: ドレイン 4: 基板コンタクト領域 5: ゲート酸化膜  
6: ゲート電極 7: ソース領域の引き出し電極 8: ドレイン領域の引き出し電極  
9: 基板コンタクト領域の引き出し電極 10: ゲートの引き出し電極  
12: 厚いシリコン酸化膜 13: PSG膜

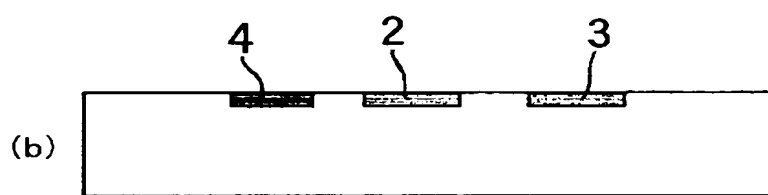


【図 8】

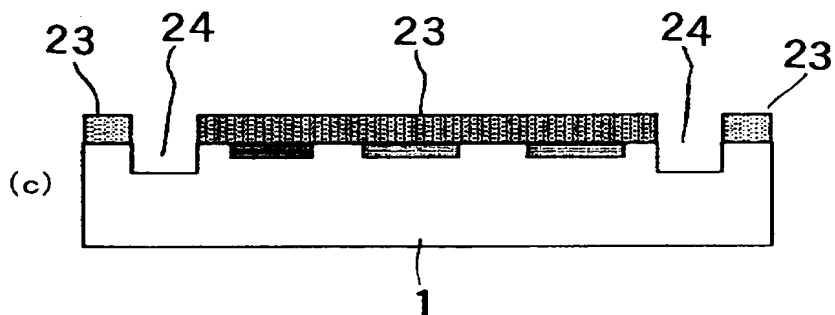
【図 8】



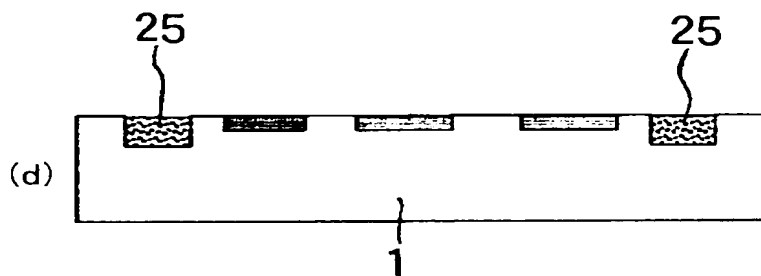
1: p型SiC基板 20: 薄いシリコン酸化膜



2: ソース 3: ドレイン 4: 基板コンタクト領域



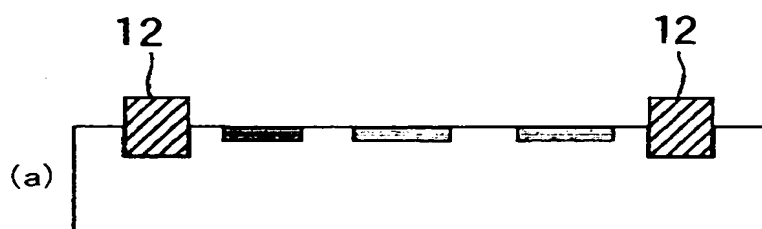
1: p型SiC基板 23: PSG膜 24: 溝



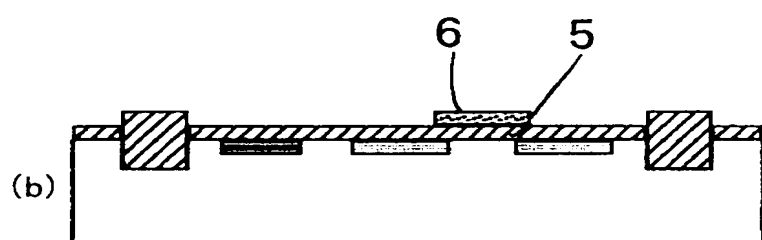
1: p型SiC基板 25: ポリシリコン

【図9】

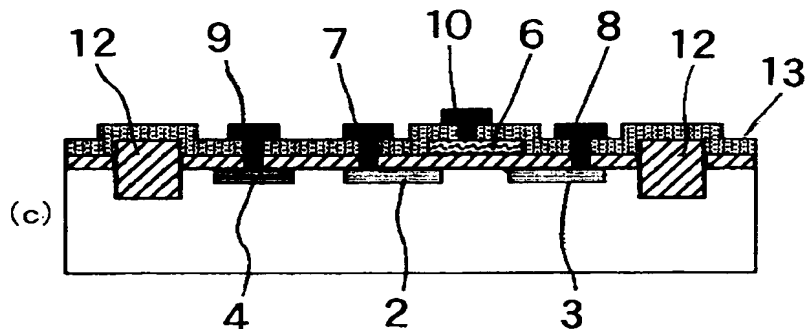
【図9】



12: 厚いシリコン酸化膜



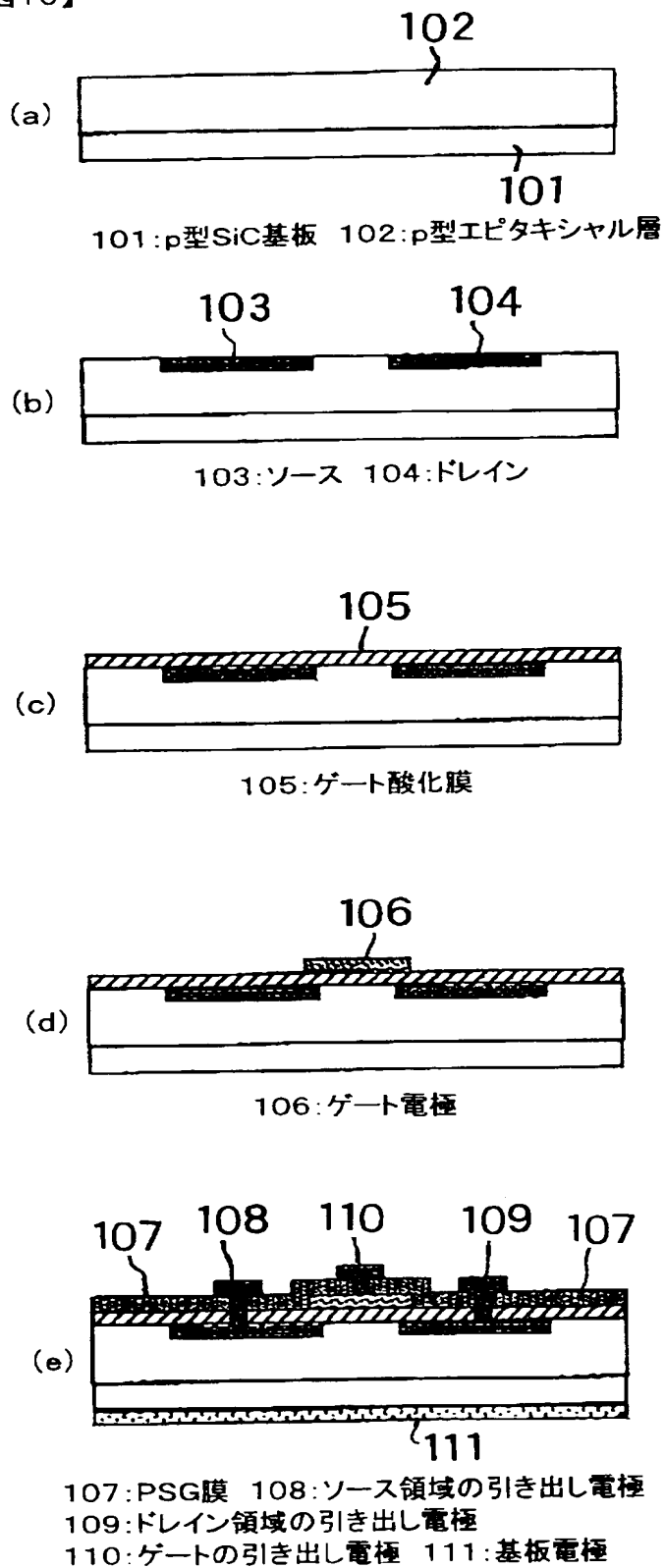
5: ゲート酸化膜 6: ゲート電極



2: ソース 3: ドレイン 4: 基板コンタクト領域 6: ゲート電極  
7: ソース領域の引き出し電極 8: ドレイン領域の引き出し電極  
9: 基板コンタクト領域の引き出し電極 10: ゲートの引き出し電極  
12: 厚いシリコン酸化膜 13: PSG膜

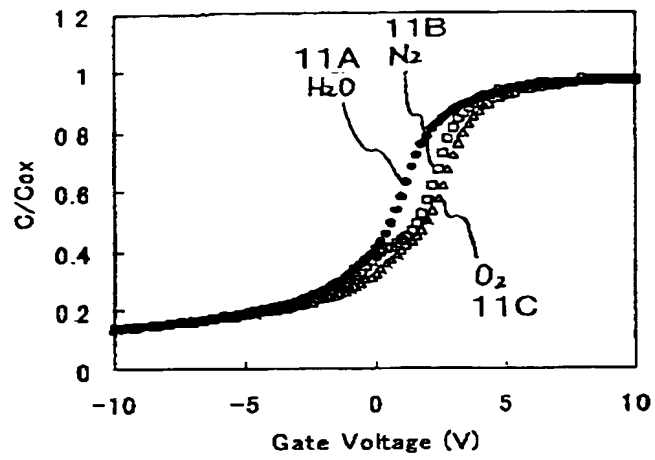
【図 1 0】

【図10】



【図 11】

【図 11】



【書類名】 要約書

【要約】

【課題】 p 型4H-SiC基板上に形成したポリシリコンを選択的に熱酸化して厚いシリコン酸化膜を得る。

【解決手段】 p 型4H-SiC基板 1 の表面に薄いシリコン熱酸化膜を形成する。P S G膜を堆積後、P S G膜の所望領域の開口部にリンなどを導入する。同様に、P S G膜の所望領域の開口部にボロンなどを導入する。熱酸化膜とP S D膜とを除去し、ソース 2、ドレイン 3 および基板コンタクト用領域 4 を形成する。シリコン熱酸化膜をソース 2、ドレイン 3 および基板コンタクト用領域 4 の上から基板 1 上に形成する。ポリシリコンを約 0. 5  $\mu$  m 厚に形成した後で、フォトリソグラフィ／エッチングにより素子分離領域上にポリシリコンのパターンを形成する。シリコン熱酸化膜を除去した後で、H 2 O 分圧を 0. 9 5 以上に保った酸化雰囲気中で基板 1 を酸化する。この結果、ポリシリコンパターンが選択的に熱酸化されて厚いシリコン酸化膜 1 1 が形成される。素子領域上にゲート酸化膜 5 を形成してP S G膜 1 3 を堆積後、各領域に引き出し電極を形成する。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 2 6 3 0 6 9
受付番号	5 0 0 0 1 1 1 0 8 5 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 1 0 月 2 6 日

< 認定情報・付加情報 >

【提出日】	平成12年 8月31日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000003997]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	神奈川県横浜市神奈川区宝町2番地
氏 名	日産自動車株式会社